|  |
| --- |
| МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ |
| ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ высшего образования |
| **«Национальный исследовательский ядерный университет «МИФИ»** |
| ИНСТИТУТ ИНТЕЛЛЕКТУАЛЬНЫХ КИБЕРНЕТИЧЕСКИХ СИСТЕМ |
| КАФЕДРА «КОМПЬЮТЕРНЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ» (№12) |

**КУРСОВАЯ РАБОТА**

**по дисциплине**

**СХЕМОТЕХНИКА ЦИФРОВЫХ УСТРОЙСТВ**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Тема: Модуль демультиплексирования векторного анализатора сигналов** | | | | |
| Студент | Эзерс Евгений Васильевич, Мигров Юрий Алексеевич | | Группа | С20-501 |
|  | ФИО | |  |  |
| Руководитель | | Решетько Валерий Михайлович | | |
|  | | ФИО | | |

**Москва, 2022**

ОГЛАВЛЕНИЕ

[ВВЕДЕНИЕ 3](#_Toc122953744)

[1. СПЕЦИФИКАЦИЯ 4](#_Toc122953745)

[2. СИГНАЛЫ ИНТЕРФЕЙСА И ИХ ОПИСАНИЕ 5](#_Toc122953746)

[2.1. Пояснения к сигналам 6](#_Toc122953747)

[2.1.1. Входные сигналы 6](#_Toc122953748)

[2.1.2. Выходные сигналы 6](#_Toc122953749)

[3. ОТЧЁТ О ВЕРИФИКАЦИИ 7](#_Toc122953750)

[3.1. Верификация модуля 7](#_Toc122953751)

[3.2. Проверка согласования с соседними модулями 8](#_Toc122953752)

[4. СИНТЕЗ СХЕМЫ И ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ 9](#_Toc122953753)

[ЗАКЛЮЧЕНИЕ 11](#_Toc122953754)

# ВВЕДЕНИЕ

Векторный анализатор сигналов используется для анализа радиосигналов сложной формы, например, сигналов с цифровой квадратурной модуляцией. Параметры таких колебаний трудно, если вообще возможно оценить с помощью обычных устройств. Чтобы получить исчерпывающие сведения о модуляции и характеристиках сигнала, а также извлечь полезные данные, необходимо исследовать двухкомпонентный, то есть векторный процесс, который отражает изменения во времени амплитуды и фазы исходного сигнала. Средства цифровой обработки векторного анализатора позволяют регистрировать подобные процессы и выделять информацию о параметрах принимаемого сигнала.

Построение модели входного тракта современных связных устройств, включающих в себя цифровое гетеродинирование и выделение информационных состояний, — основная цель использования векторного анализатора.

На вход платы АЦП поступают аналоговые синфазная и квадратурная составляющие сигнала, над которыми выполняется операция дискретизации сигнала с помощью аналого-цифрового преобразователя (АЦП) ADC10D040 фирмы Texas Instruments. Полученный цифровой сигнал передается на отладочную плату cyc1000 для его дальнейшего анализа и получения из него переданной информации с использованием ПЛИС Cyclone 10LP 10CL025 фирмы Intel.

Логика обработки данных для векторного анализатора сигналов занимается:

— генерацией частоты дискретизации и частоты приема данных с платы АЦП;

— сдвигом частотной полосы вниз (downconverting) входного потока цифровых данных;

— анализом полезной информации, то есть определением символьной скорости и типа модуляции;

— демодуляцией;

— обменом данными с хостом.

Было принято решение представить логическое наполнение проекта в виде модулей, разбитых в соответствии с выполняемыми ими функциями, для удобства написания и отладки проекта.

Модуль демультиплексирования, разработанный в курсовой работе, — часть векторного анализатора сигналов. Он используется для разделения синфазной и квадратурной составляющих сигнала, поступающих по одному каналу с платы АЦП.

# 1. СПЕЦИФИКАЦИЯ

Внутренний модуль демультиплексирования предназначен для преобразования входного потока данных с АЦП в вид, удобный для преобразования модулем гетеродинирования, так как синфазная и квадратурная составляющие передаются по одному каналу с удвоенной частотой дискретизации.

Для конфигурации режима работы АЦП был также разработан модуль управления АЦП.

Условные графические представления внутреннего модуля демультиплексирования данных после АЦП и модуля управления АЦП представлены на рисунке 1.1.

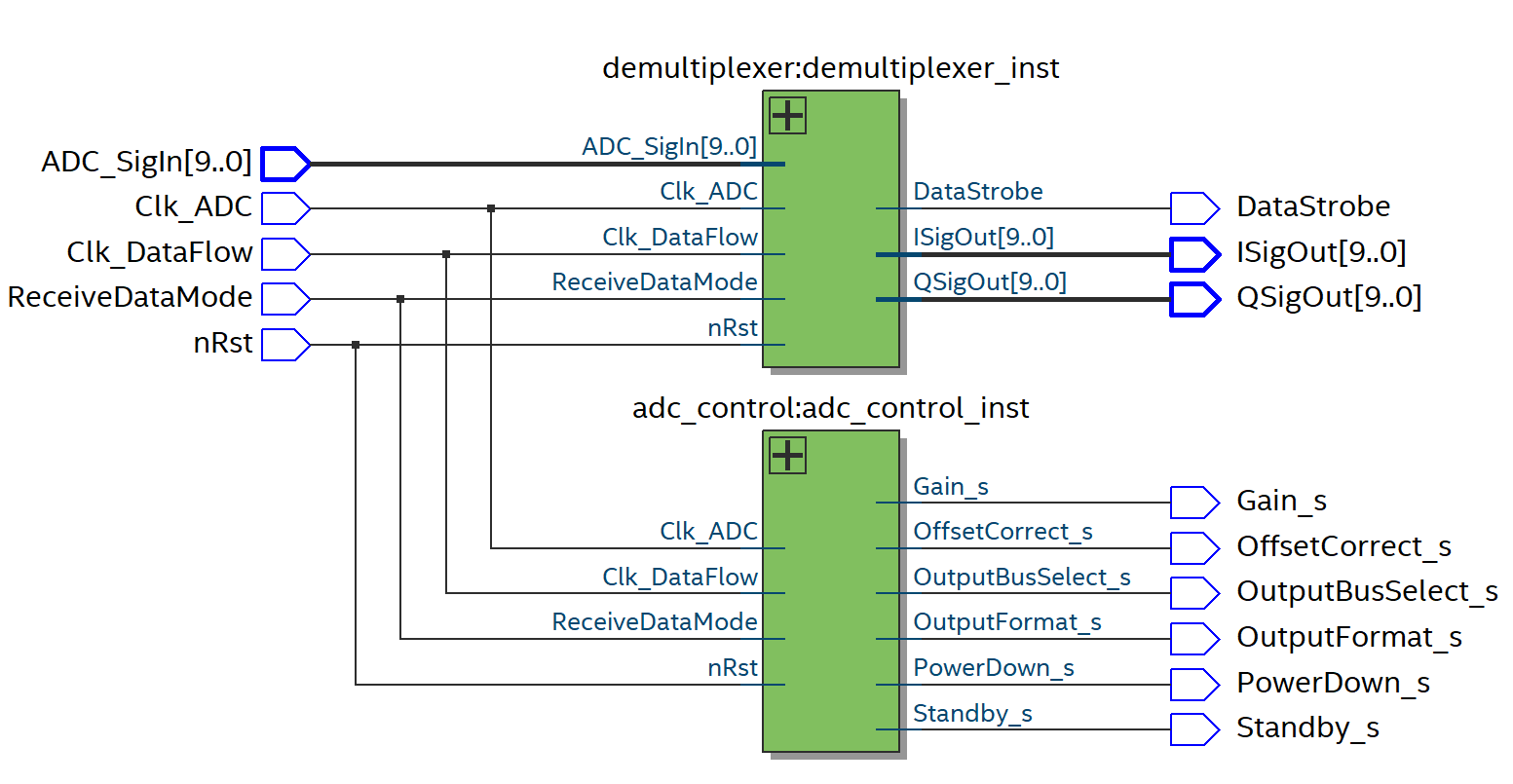


Рис. 1.1. УГО модулей демультиплексирования и управления АЦП.

# 2. СИГНАЛЫ ИНТЕРФЕЙСА И ИХ ОПИСАНИЕ

Описание сигналов представлено в таблице 2.1.

Таблица 2.1. Описание сигналов

| № п.п. | Сигнал | Напр. | Описание | Пин Cyclone 10 LP |
| --- | --- | --- | --- | --- |
| Системные сигналы | | | |  |
| 1 | Clk\_ADC | in | Тактовый сигнал АЦП |  |
| 2 | Clk\_DataFlow | in | Тактовый сигнал приема данных |  |
| 3 | nRst | in | Сигнал сброса |  |
| 4 | ReceiveDataMode | in | Сигнал режима приема и обработки данных:   * ‘0’ – данные приходят по одному каналу; * ‘1’ – данные приходят по двум каналам. |  |
| Сигналы **аналого-цифрового преобразователя** | | | |  |
| 5 | ADC\_SigIn (9:0) | in | Входная шина данных |  |
| 6 | Gain\_s | out | Этот вывод задает внутреннее усиление сигнала на входах АЦП.  При низком значении этого вывода коэффициент усиления равен опорному напряжению VREF.  При высоком значении этого вывода коэффициент усиления равен удвоенному значению опорного напряжения VREF. | F13 |
| 7 | OutputBusSelect\_s | out | -- '1' параллельный режим (данные поступают по I и Q каналам)  -- '0' мультиплексированный режим (данные поступают по I каналу) | F15 |
| 8 | Standby\_s | out | Сигнал режима ожидания. Устройство работает нормально при низком уровне этого сигнала и сигала питания PD (Power Down).  -- При ‘1’ на этом выводе и ‘0’ на выводе PD устройство находится в режиме ожидания, где оно потребляет всего 30 мВт мощности.  -- Для выхода из этого режима требуется 800 нс после того, как вывод STBY подтянут к земле. | F16 |
| 9 | PowerDown\_s | out | -- Вывод отключения питания, который при высоком значении переводит преобразователь в режим отключения питания, при котором он потребляет всего 1 мВт мощности.  -- Восстановление из этого режима после того, как вывод PD притянут к земле, занимает менее 1 мс.  -- Если оба вывода STBY и PD одновременно в активном состоянии, вывод PD доминирует. | D16 |
| 10 | OffsetCorrect\_s | out | -- ADC\_OC – нормальный режим '0'  -- '1' для калибровки на 0 В в течение 34 тактовых сигналов.  -- Переход от низкого к высокому логическому уровню на этом выводе инициирует коррекцию смещения, для которой требуется 34 такта для завершения.  -- За это время усредняется 32 преобразования. Результат вычитается из последующих преобразований.  -- Входные сигналы должны иметь дифференциальное значение 0 В в течение всего этого 34-тактового периода. | P1 |
| 11 | OutputFormat\_s | out | Сигнал выбора формата представления данных  -- ‘0’ – двоичное представление  -- ‘1’ – представление в дополнительном коде | L2 |
| Сигналы **модуля гетеродинирования** | | | |  |
| 12 | ISigOut (9:0) | out | Синфазная составляющая сигнала |  |
| 13 | QSigOut (9:0) | out | Квадратурная составляющая сигнала |  |
| 14 | DataStrobe | out | Сигнал, активный уровень которого показывает валидность передаваемых в модуль гетеродинирования данных |  |

# 2.1. Пояснения к сигналам

# 2.1.1. Входные сигналы

Сигналы Clk\_ADC и Clk\_Dataflow должны соответствовать диаграмме, приведённой в документации к модулю синтеза частоты дискретизации (рис. 2.1).

ACC

ADC\_FTW

ACC

fADC

Time

Time

Time

fDataFlow

FGen

fADC

fDataFlow

Рис. 2.1. Структурная схема модуля синтеза частоты дискретизации

# 2.1.2. Выходные сигналы

При установке **ReceiveDataMode** в ‘0’, данные будут передаваться лишь по I каналу, при этом сигнал Q канал принимается равным 0.

При установке **DataStrobe** в ‘0’, данные считаются недействительными и не должны быть использованы модулем гетеродинирования, а текущие данные не должны передаваться дальше по цепочке.

При установке **DataStrobe** в ‘1’ данные должны быть обработаны следующим модулем. В течение времени установки ‘1’ данные считаются корректными, а значит также должны сообщаться следующим модулям.

# 3. ОТЧЁТ О ВЕРИФИКАЦИИ

# 3.1. Верификация модуля

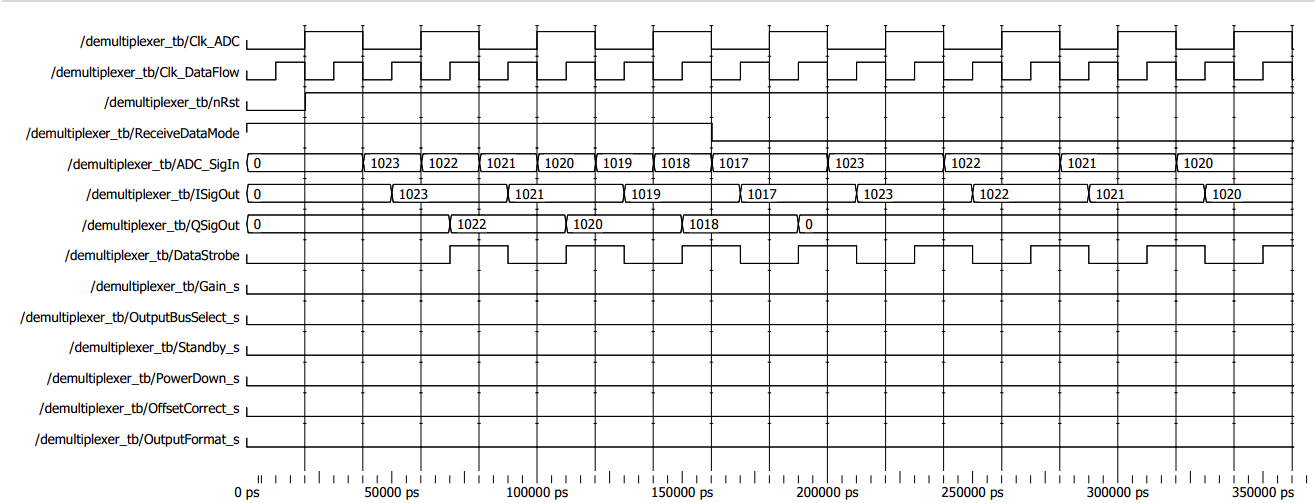


Рис. 3.1. Временная диаграмма работы модуля

На диаграмме (рис. 3.1.) представлен нормальный ход работы устройства при двух режимах функционирования:

**ReceiveDataMode** установлен в ‘1’. После снятия сброса (**nRst** = ‘1’) модуль выжидает первый спад **ClkADC**. Затем происходит попеременное запоминание сначала I составляющей (*1023*), затем Q составляющей (*1022*). При запоминании Q составляющей также устанавливается **DataStobe**, при следующем запоминании I составляющей (*1021*) он будет снят.

**ReceiveDataMode** установлен в ‘0’. Модуль пропускает Q составляющую (она всегда равна нулю), при этом I составляющая запоминается также, как и в предыдущем режиме работы. **DataStobe** устанавливается на такте, следующим за запоминанием I составляющей (*1023*), при запоминании I составляющей (*1022*) он будет снят.

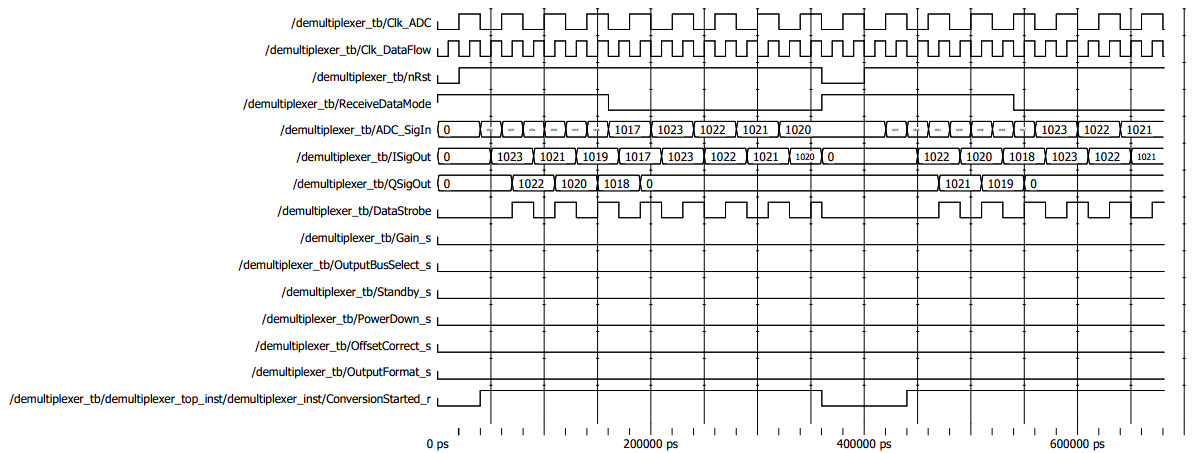


Рис. 3.2. Временная диаграмма реакции на сигнал сброса.

Диаграмма (рис. 3.2.) иллюстрирует реакцию работы модуля на сигнал сброса: все регистры сбрасываются, модуль ожидает первый спад **ClkADC**. В качестве флага этого события выступает внутренний регистр **ConversionStarted\_r**.

Сигналы управления АЦП установлены в конфигурацию, не использующую режимы энергосбережения. Они не изменяются в ходе работы устройства.

# 3.2. Проверка согласования с соседними модулями

Для проверки согласования и возможности интеграции в проект был собран специальный тестбенч, содержащий три модуля: модуль синтеза частоты дискретизации, модуль демультиплексирования и модуль гетеродинирования. Структурная схема межсоединений показана на рисунке 3.3.

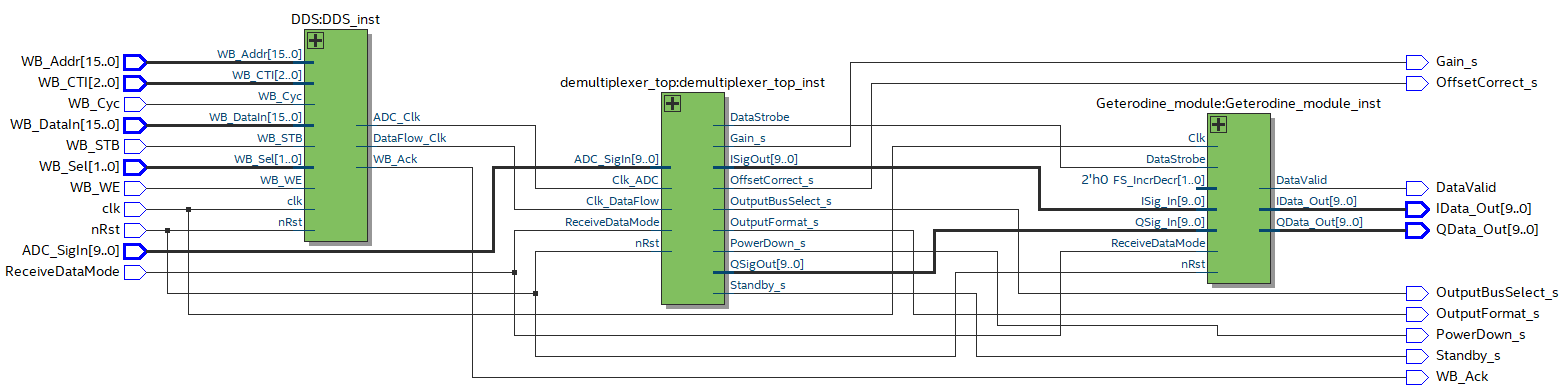


Рис. 3.3. Соединение соседних модулей в проекте.

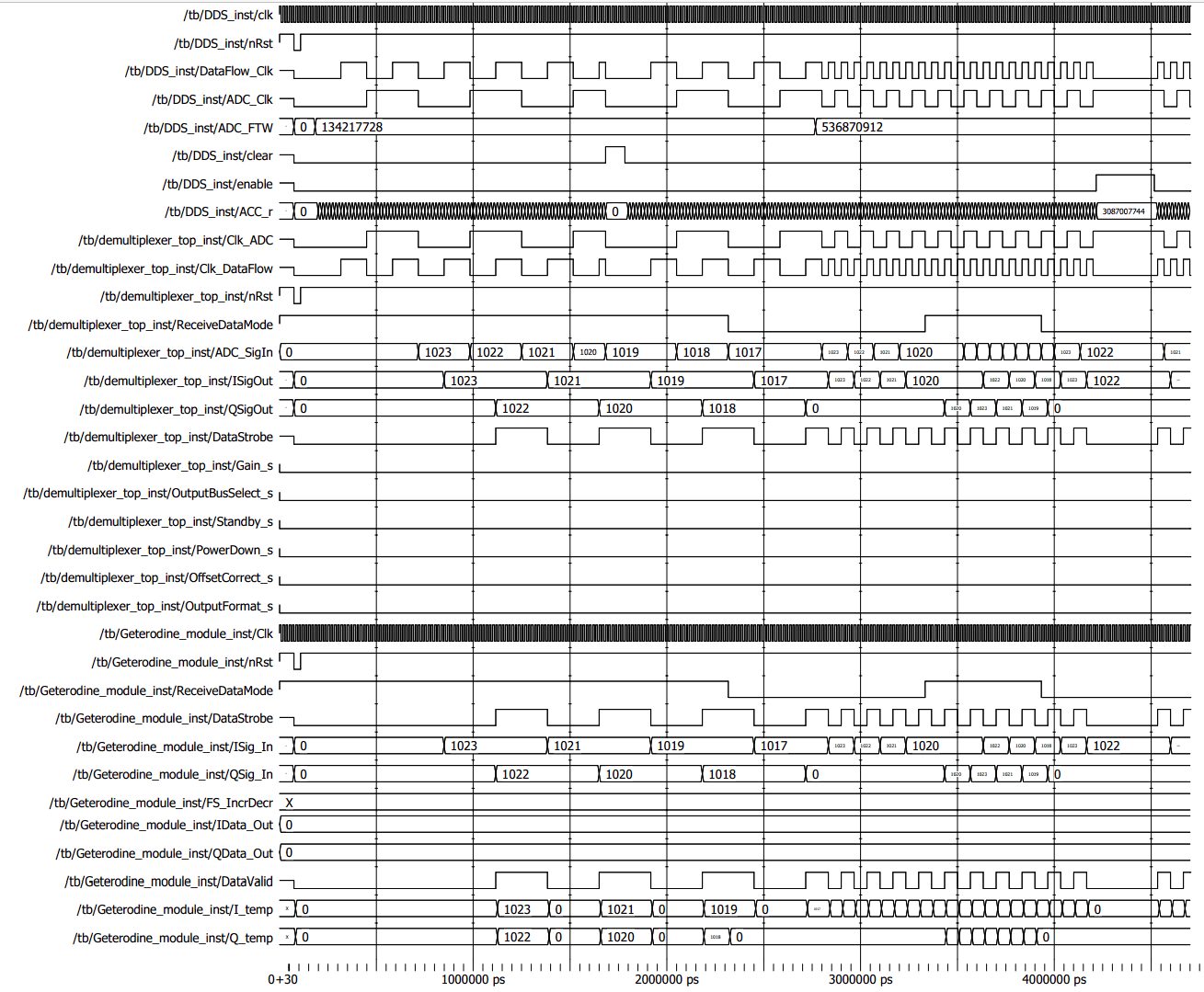


Рис. 3.4. Временная диаграмма общей сборки из трёх модулей.

На временной диаграмме (рис. 3.4.) видно, что тактирующие сигналы модуля синтеза частоты дискретизации управляют работой модуля демультиплексирования, адекватно реагирующего на изменение их частот, а модуль гетеродинирования считывает демультиплексированные данные и производит их обработку.

# 4. СИНТЕЗ СХЕМЫ И ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ

Для проверки синтезируемости были проведены стадии Analysis & Synthesis, Place & Route, Generate programming files и Timing Analysis спроектированной схемы для ПЛИС семейства Cyclone 10 LP. На рисунках 4.1-4.5 представлены результаты проведенного синтеза. Все этапы синтеза пройдены успешно.

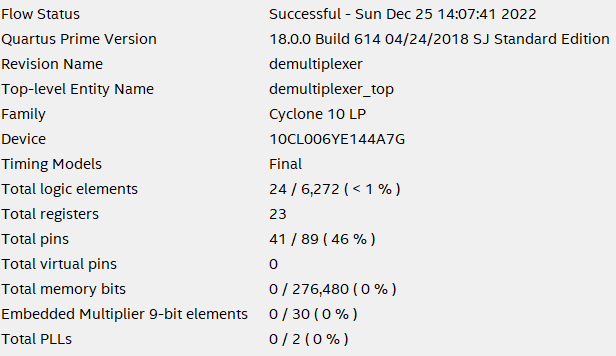


Рис. 4.1. Отчёт о занимаемых ресурсах.

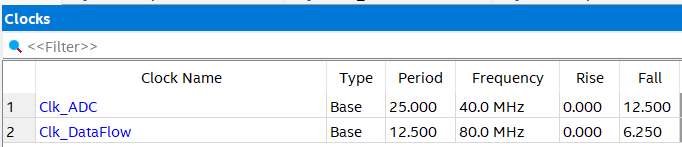


Рис. 4.2. Используемые тактовые сигналы.

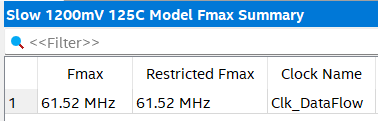


Рис. 4.3. Отчёт о временных характеристиках модуля при 125 С.

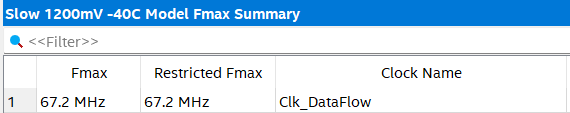


Рис. 4.4. Отчёт о временных характеристиках модуля при -40 С.

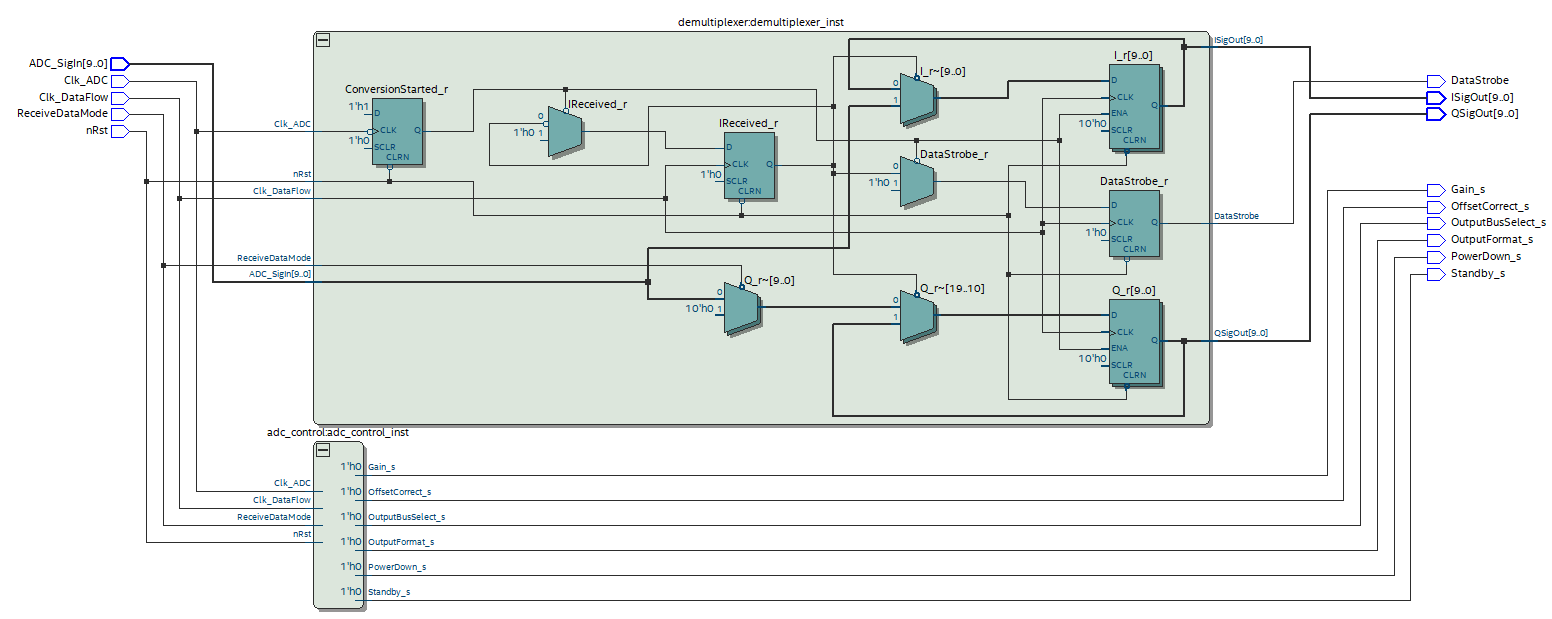


Рис. 4.5. Синтезированная схема модуля.

# ЗАКЛЮЧЕНИЕ

В процессе выполнения курсовой работы были разработаны модуль для преобразования входного потока данных с АЦП в вид, удобный для обработки модулем гетеродинирования, а также вспомогательный модуль конфигурации АЦП.

С помощью ModelSim 10.5b проведена симуляция работы устройства c различными входными данными, а также с соседними модулями.

Также с помощью Quartus Prime 18.0 была выполнена проверка проекта на синтезируемость для ПЛИС семейства Cyclone 10 LP.

В рамках выполнения курсовой работы были получены практические навыки в разработке проекта на языке описания оборудования VHDL, его тестирования в среде ModelSim 10.5b и синтеза в Quartus Prime 18.0.